

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

IKEDA, et al.

Group Art Unit: Unknown

Application No.: NEW

Examiner: Unknown

Filed: Concurrently Herewith

Attorney Dkt. No.: 107337-00057

For: SEMICONDUCTOR DEVICE TEST CIRCUIT AND SEMICONDUCTOR
DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: March 26, 2004

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

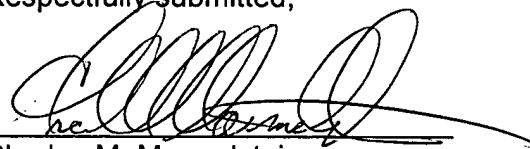
Japanese Patent Application No. 2003-297210 filed on August 21, 2003

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/jch



日 本 国 特 許 庁
JAPAN PATENT OFFICE

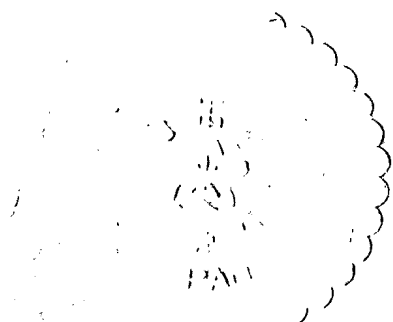
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 9 7 2 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 9 7 2 1 0]

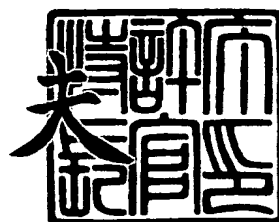
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 4 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 9 3 7 3

【書類名】 特許願
【整理番号】 0340463
【提出日】 平成15年 8月21日
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/28
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 池田 暁光
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 仲 直明
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100092152
 【弁理士】
 【氏名又は名称】 服部 毅巖
 【電話番号】 0426-45-6644
【手数料の表示】
 【予納台帳番号】 009874
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9705176

【書類名】 特許請求の範囲**【請求項 1】**

機能マクロ回路を試験する半導体装置試験回路において、

第 1 のクロック信号に同期して、前段でラッチされたシリアルテストパターンデータが、後段でラッチされるように直列に接続された複数の第 1 のフリップフロップ回路と、

第 2 のクロック信号に同期して、前記第 1 のフリップフロップ回路にラッチされている前記テストパターンデータを前記機能マクロ回路に出力する第 2 のフリップフロップ回路と、

を有することを特徴とする半導体装置試験回路。

【請求項 2】

前記第 1 及び第 2 のフリップフロップ回路は、D 型フリップフロップ回路であることを特徴とする請求項 1 記載の半導体装置試験回路。

【請求項 3】

制御信号に応じて、前記第 2 のフリップフロップ回路から出力される前記テストパターンデータまたは、ユーザロジックからの信号の何れかを選択して前記機能マクロ回路に出力するセクタ回路をさらに有することを特徴とする請求項 1 記載の半導体装置試験回路。

【請求項 4】

セクタ回路と、第 3 のフリップフロップ回路からなる回路を複数段さらに有し、

前記セクタ回路は、前記機能マクロ回路の出力信号及び、初段は最後段の前記第 1 のフリップフロップ回路からの前記テストパターンデータ、次段以降は前段の前記第 3 のフリップフロップ回路から出力された信号を入力し、

前記第 3 のフリップフロップ回路は、前記セクタ回路で選択された信号を前記第 1 のクロック信号に同期してラッチすることを特徴とする請求項 1 記載の半導体装置試験回路。

【請求項 5】

前記第 3 のフリップフロップ回路は、D 型フリップフロップ回路であることを特徴とする請求項 4 記載の半導体装置試験回路。

【請求項 6】

最後段の前記回路における前記第 3 のフリップフロップ回路は、前記テストパターンデータまたは前記機能マクロ回路の出力信号をシリアルに出力することを特徴とする請求項 4 記載の半導体装置試験回路。

【請求項 7】

複数の機能マクロ回路と、

第 1 のクロック信号に同期して、前段でラッチされたシリアルテストパターンデータが、後段でラッチされるように直列に接続された複数の第 1 のフリップフロップ回路と、第 2 のクロック信号に同期して、前記第 1 のフリップフロップ回路にラッチされている前記テストパターンデータを対応する前記機能マクロ回路に出力する第 2 のフリップフロップ回路と、をそれぞれ有する複数の半導体装置試験回路と、

第 3 のクロック信号に同期して前記半導体装置試験回路を特定するための制御信号を出力する、前記半導体装置試験回路の数に応じて複数段、直列に接続された第 3 のフリップフロップ回路と、

前記制御信号に応じて前記第 1 のクロック信号を入力する前記半導体装置試験回路を選択する第 1 のセクタ回路と、

前記制御信号に応じて前記第 2 のクロック信号を入力する前記半導体装置試験回路を選択する第 2 のセクタ回路と、

前記制御信号に応じて複数の前記半導体装置試験回路からの出力信号の 1 つを選択する第 3 のセクタ回路と、

を有することを特徴とする半導体装置。

【請求項 8】

初段の前記第 3 のフリップフロップ回路に入力される前記半導体装置試験回路を特定するための信号は、前記テストパターンデータを入力する試験データ入力端子により入力されることを特徴とする請求項 7 記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置試験回路及び半導体装置

【技術分野】

【0001】

本発明は半導体装置試験回路及び半導体装置に関し、特に機能マクロ回路を試験する半導体装置試験回路及び複数の機能マクロ回路を有した半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の高集積化が進むなか、ASIC (Application Specific Integrated Circuit：特定用途向け集積回路) 等の半導体装置の1チップにCPU (Central Processing Unit)、RAM (Random Access Memory) やROM (Read Only Memory) などのメモリ、その他複数の機能を集積させたSOC (System On a Chip) 製品が実現している。

【0003】

このような半導体装置は、機能ごとに複数のハードマクロ回路（以下機能マクロ回路と称す）を搭載し、さらに、機能マクロ回路を用いた演算処理などを行う順序回路からなる論理回路（以下ユーザロジックと称す）を有している。また、機能マクロ回路の試験を考慮した設計もなされている。

【0004】

機能マクロ回路の試験を行うためには、各端子に設計者の意図したタイミングでデータを入力し、意図したタイミングで半導体装置の端子の状態を測定しなければならない。試験に必要な端子が全て半導体装置の外部に定義されていない場合、例えば、以下のような方法が行われていた。

【0005】

1つめとして、機能マクロ回路に接続する端子を、セレクトタなどを経由して半導体装置の入出力端子と接続することにより、テストパターンデータを入力し試験する方法があった。

【0006】

また、マスタスレーブ型のラッチ回路を機能マクロ回路の前段に設け、機能マクロ回路の通常動作時では、入力データをそのまま機能マクロ回路に出力するスルーモードとし、機能マクロ回路のテスト時には、ラッチ回路にラッチしたテストパターンデータを機能マクロ回路に出力するような方法もあった（例えば、特許文献1参照）。

【0007】

しかしこれらの方法では、半導体装置上に搭載する機能マクロ回路の個数や、各機能マクロ回路の端子が増えた場合、半導体装置上の端子数制限があるため問題であった。

一方、テストパターンデータを入力する端子数を減少可能な方法として、ユーザロジックのスキャンフリップフロップ回路（以下SFF回路と称す）を用いる方法がある。特許文献2には、機能マクロ回路の単体検査とスキャンバス検査を併用して試験を行う回路が開示されている。

【0008】

図3は、従来のSFF回路を用いた従来の半導体装置試験回路の概略の回路図である。

また、図4は、SFF回路の構成を示す回路図である。

図3では、簡単のため4つの入力端子を有する機能マクロ回路200に、テストパターンデータを入力する半導体装置試験回路を示している。このような回路の場合、4つのSFF回路210、211、212、213を有している。SFF回路210、211、212、213は、それぞれ直列に接続されており、ユーザロジックからの信号を入力する端子D、テストパターンデータを入力する端子SI、機能マクロ回路200に入力する信号をユーザロジックからの信号またはテストパターンデータの信号のいずれにするかを図4で示すセレクトタ210aで選択するための制御信号を入力する端子SMと、クロック信号を入力する端子CKと、出力ポートとして、2つの端子Q、SO、リセット用の端子RSTを有する。

【0009】

このような半導体装置試験回路においては、1段目のSFF回路210の端子SIからシリアルで入力されたテストパターンデータは、端子SMからの制御信号によりセクタ210aで端子SIから入力された信号が選択された場合、端子CKからのクロック信号に同期してD型フリップフロップ210bでラッチされ、端子SOと端子Qから出力される。1段目のSFF回路210の端子SOから出力された信号は、2段目のSFF回路211の端子SIに入力され、同様に次のクロック信号に応じてラッチされて2段目のSFF回路211の端子SOと端子Qから出力される。以下同様に後段のSFF回路212、213に入力されてゆく。このようにシリアルに入力されたテストパターンデータが最終的に端子Qによってパラレルで機能マクロ回路200に入力される。

【0010】

このようなSFF回路を用いてテストパターンデータを入力することで、1つの機能マクロ回路に対し、1つのテストパターンデータの入力端子だけで済み、機能マクロ回路の端子数の増加に対応することができる。

【特許文献1】特開平4-186177号公報（第1図）

【特許文献2】特開2001-208810号公報（段落番号〔0037〕～〔0071〕，第1図）

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、従来のSFF回路を用いたテストパターンデータの入力においては、図4で示したようにSFF回路の仕様上、端子SIから入力したテストパターンデータが端子SOと端子Qから出力される。この場合、端子SIからシリアルに入力されるテストパターンデータのデータのシフト動作時に、各SFF回路の端子Qから不必要なデータが出力され、設計者の意図したテストパターンデータが入力できないという問題点があった。

【0012】

本発明はこのような点に鑑みてなされたものであり、機能マクロ回路を試験するための適切なテストパターンデータを入力可能な半導体装置試験回路及び半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明では上記問題を解決するために、機能マクロ回路を試験する半導体装置試験回路において、図1に示すように、第1のクロック信号に同期して、前段でラッチされたシリアルデータのテストパターンデータが、後段でラッチされるように直列に接続された複数のフリップフロップ回路12a、13a、14aと、第2のクロック信号に同期して、フリップフロップ回路12a、13a、14aにラッチされているテストパターンデータを出力するフリップフロップ回路12b、13b、14bと、を有することを特徴とする半導体装置試験回路10が提供される。

【0014】

このような構成によれば、複数段にわたって直列に接続されたフリップフロップ回路12a、13a、14aによって、第1のクロック信号に同期して、前段のフリップフロップ回路（例えば、フリップフロップ回路12a）にラッチされたシリアルデータのテストパターンデータが後段のフリップフロップ回路（例えば、フリップフロップ回路13a）にラッチされる。それぞれの段におけるフリップフロップ回路12a、13a、14aにラッチされたテストパターンデータは、フリップフロップ回路12b、13b、14bに入力される第2のクロック信号に同期して同時に機能マクロ回路11に出力される。

【0015】

このように、第2のクロック信号に同期してテストパターンデータが機能マクロ回路11に出力されるので、適切なテストパターンデータが任意のタイミングで機能マクロ回路11に入力される。

【発明の効果】

【0016】

本発明の半導体装置試験回路は、第1のフリップフロップ回路に入力されラッチされるシリアルテストパターンデータが、そのまま機能マクロ回路に出力されず、第2のフリップフロップ回路に入力される第2のクロック信号に同期してテストパターンを機能マクロ回路に出力するようにしたので、機能マクロ回路に不必要なデータが入力されることを防止することができる。

【0017】

このため機能マクロ回路の適切な試験を行うことができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を、図面を参照して詳細に説明する。

図1は、本発明の実施の形態の半導体装置試験回路の構成を示す回路図である。

なお、図1では、簡単のため機能マクロ回路11への入力及び出力が3端子ずつの場合について図示している。

【0019】

機能マクロ回路11を試験する半導体装置試験回路10は、外部の図示しない第1クロック端子に入力される第1のクロック信号に同期してテストパターンデータ（以下単にテストパターンと称す）をラッチする複数のフリップフロップ回路（以下単にフリップフロップと称す）12a、13a、14aと、フリップフロップ12a、13a、14aにラッチされたテストパターンを、外部の図示しない第2クロック端子に入力される第2のクロック信号に同期して出力するフリップフロップ12b、13b、14bを有する。

【0020】

外部の図示しない試験データ入力端子により入力されるテストパターンは、初段のフリップフロップ12aに入力される。

ここで、フリップフロップ12a、13a、14aは、D型フリップフロップであり、第1のクロック信号に同期して、前段にラッチされたシリアルテストパターンが後段ラッチされるように直列に接続されている。すなわち、初段のフリップフロップ12aの出力は、その後段のフリップフロップ13aに入力され、フリップフロップ13aの出力は、3段目のフリップフロップ14aに入力されるように接続されている。

【0021】

さらに、フリップフロップ12a、13a、14aの出力は、それぞれD型フリップフロップであるフリップフロップ12b、13b、14bに入力されるように接続されている。

【0022】

以下、2つのフリップフロップ12a、12b、フリップフロップ13a、13b、フリップフロップ14a、14bからなる回路を第1モジュール12、13、14と呼ぶ。

半導体装置試験回路10は、さらに、外部の図示しない試験モード端子に入力された制御信号に応じて、フリップフロップ13b、14bから出力されるテストパターンまたは、ユーザロジック20からの信号の何れかを選択して機能マクロ回路11に出力するセレクト回路18、19をさらに有する。

【0023】

なお、図1において、第1モジュール12の出力はセレクト回路を介さず機能マクロ回路11に入力されている。このときの機能マクロ回路11の入力端子は、ユーザには公開されない試験専用の入力端子となる。

【0024】

一方、機能マクロ回路11の出力側には、第2モジュール15、16、17が複数段にわたって配置される。

第2モジュール15、16、17は、それぞれ、セレクト回路とフリップフロップを1つずつ有した回路である。すなわち、第2モジュール15はセレクト回路15aとフリッ

フリップフロップ15b、第2モジュール16はセクタ回路16aとフリップフロップ16b、第2モジュール17はセクタ回路17aとフリップフロップ17bを有している。

【0025】

初段の第2モジュール15において、セクタ回路15aには入力側の第1モジュールの最後段のフリップフロップ14aから出力されるテストパターンと、機能マクロ回路11からの出力信号が入力される。セクタ回路15aは、半導体装置試験回路10の外部の図示しない取りこみモード端子に入力される制御信号に応じて、テストパターンまたは機能マクロ回路11からの出力信号の何れかを選択し、フリップフロップ15bに入力する。フリップフロップ15bは、第1のクロック信号に同期して、テストパターンまたは出力信号をラッチし、後段の第2モジュール16に出力する。

【0026】

第2モジュール16において、セクタ回路16aには、前段のフリップフロップ15bから出力される信号と機能マクロ回路11からの出力信号が入力される。セクタ回路16aは、半導体装置試験回路10の外部の図示しない取りこみモード端子に入力される制御信号に応じて、前段のフリップフロップ15bから出力される信号または機能マクロ回路11からの出力信号の何れかを選択し、フリップフロップ16bに入力する。フリップフロップ16bは、第1のクロック信号に同期して、フリップフロップ15bから出力される信号、または機能マクロ回路11からの出力信号を取りこみ、後段の第2モジュール17に出力する。

【0027】

最後段の第2モジュール17においても同様に、セクタ回路17aには、前段のフリップフロップ16bから出力される信号と機能マクロ回路11からの出力信号が入力される。セクタ回路17aは制御信号に応じて、この2つの信号の何れかを選択して、フリップフロップ17bに入力する。フリップフロップ17bは、第1のクロック信号に同期して、セクタ回路17aにおいて選択された信号をラッチし、この半導体装置試験回路10の外部の図示しない試験データ出力端子に出力する。

【0028】

以下、半導体装置試験回路10の動作を説明する。

まず、ユーザロジック20、30を用いた通常動作時について説明する。

通常動作時には、制御信号によりセクタ回路18、19は、第1モジュール13、14からのテストパターンではなく、ユーザロジック20からの信号を選択して、機能マクロ回路11に入力する。機能マクロ回路11は、入力された信号に応じて所定の動作を行い、信号を出力側のユーザロジック30に出力する。なお、ここで、入力側のユーザロジック20と、出力側のユーザロジック30と分けて図示しているが、同じであってもよい。

【0029】

次に、機能マクロ回路11の試験時の半導体装置試験回路10の動作を説明する。

試験時には、制御信号によりセクタ回路18、19は、ユーザロジック20からの信号ではなく、第1モジュール13、14からのテストパターンを選択して、機能マクロ回路11に入力する。

【0030】

図示しない試験データ入力端子によりシリアルなテストパターンが、初段の第1モジュール12に入力されると、フリップフロップ12aは第1のクロック信号に同期して、そのテストパターンの先頭ビットをラッチする。例えばテストパターンが"110"の場合、まず始めの第1のクロック信号により"1"が第1モジュール12のフリップフロップ12aに取り込まれラッチされる。テストパターンは、次の第1のクロック信号に同期して後段のフリップフロップ、すなわち第1モジュール13のフリップフロップ13aに取り込まれラッチされる。このとき、第1モジュール12のフリップフロップ12aにも、第1のクロック信号に同期して次ビットの"1"がラッチされる。

【0031】

さらに次の第1のクロック信号に応じて、第1モジュール13のフリップフロップ13aにラッチされたテストパターンの"1"が第1モジュール14のフリップフロップ14aにラッチされる。このとき、第1モジュール12のフリップフロップ12aには、最後のビットである"0"がラッチされ、第1モジュール13のフリップフロップ13aには"1"がラッチされる。

【0032】

このようにシリアルに入力されたテストパターンが複数段にわたって直列に接続されたフリップフロップ12a、13a、14aによってシフトされていく。このとき、各フリップフロップ12a、13a、14aの出力は、それぞれの第1モジュール12、13、14に配置されているフリップフロップ12b、13b、14bに入力されている。しかし、フリップフロップ12b、13b、14bにおいては、信号をラッチするための第2のクロック信号が入力されていない状態（例えばロウレベル）である。このため、第1モジュール12、13、14からは、テストパターンが入力されているフリップフロップ12a、13a、14aからの信号は出力されない。

【0033】

全てのテストパターンがシリアルに入力し終わると、第2のクロック信号が入力される（例えばハイレベルになる）。これに同期してフリップフロップ12b、13b、14bには、フリップフロップ12a、13a、14aから出力されるテストパターンがラッチされ、機能マクロ回路11にテストパターンがパラレルに入力される。

【0034】

このように、第1モジュール12、13、14からは、フリップフロップ12b、13b、14bにアップロード用の第2のクロック信号が入力されたときのみにテストパターンを出力するようにしたので、機能マクロ回路11に不必要なデータが入力されることを防止することができる。

【0035】

一方、最後段の第1モジュール14におけるフリップフロップ14aより出力されるテストパターンは、出力側に設けられた初段の第2モジュール15のセクタ回路15aに入力される。

【0036】

以下、第2モジュール15、16、17の動作を説明する。

まず、機能マクロ回路11からの信号を取りこむモード（以下取りこみモードと称す）ではない場合について説明する。

【0037】

図示しない取りこみモード端子により入力される制御信号が、例えばロウレベルで、取りこみモードではない場合、初段の第2モジュール15において、セクタ回路15aは、最後段の第1モジュール14のフリップフロップ14aから出力されるシリアルのテストパターンを選択して、フリップフロップ15bに入力する。

【0038】

第1のクロック信号に同期してフリップフロップ15bは、入力されたテストパターンをラッチし、後段の第2モジュール16のセクタ回路16aに入力する。第2モジュール16のセクタ回路16aは、制御信号に基づいて前段のフリップフロップ15bから出力されたテストパターンを選択し、フリップフロップ16bに入力する。フリップフロップ16bは、次の第1のクロック信号に同期してテストパターンをラッチする。このとき、初段の第2モジュール15のフリップフロップ15bには、第1のクロック信号に同期してシリアルに入力されるテストパターンの次のビットがラッチされる。

【0039】

第2モジュール16のフリップフロップ16bにラッチされたテストパターンは、最後段の第2モジュール17のセクタ回路17aに入力される。セクタ回路17aにおいても同様に、制御信号に基づいて前段のフリップフロップ16bから出力されたテストパターンが選択され、フリップフロップ17bに入力される。

【0040】

ここでさらに次の第1のクロック信号が入力されると、この信号に同期して、テストパターンがフリップフロップ17bにラッチされる。このとき、初段のフリップフロップ15b及びその後段のフリップフロップ16bには、テストパターンの次のビットがラッチされる。

【0041】

フリップフロップ17bの出力は、図示しない試験データ出力端子に出力され、第1のクロック信号に同期して、図示しない試験データ入力端子から入力されたテストパターンがシリアルに出力される。

【0042】

次に、取りこみモードの場合の動作を説明する。

取りこみモードの場合、例えば、図示しない取りこみモード端子により入力される制御信号がハイレベルとなり、各第2モジュール15、16、17のセレクト回路15a、16a、17aは、機能マクロ回路11からの出力信号を選択する。これによって、入力されたテストパターンに応じた機能マクロ回路11の出力信号がフリップフロップ15b、16b、17bに平行に入力される。入力された出力信号は、第1のクロック信号に同期してフリップフロップ15b、16b、17bにラッチされる。出力信号が取り込まれると、制御信号は、例えば、ロウレベルになり取りこみモードが終了する。その後、再び第1のクロック信号に同期して、第2モジュール15、16、17のフリップフロップ15b、16b、17bにラッチされた出力信号がシフトされていき、最終的に最後段のフリップフロップ17bより、入力したテストパターンに応じた機能マクロ回路11の出力信号が、シリアル信号として図示しない試験データ出力端子に出力される。

【0043】

これにより、例えば、設計者は、出力された信号を検討して機能マクロ回路が正しく動作しているか否かなどを判断することができる。

なお、上記では機能マクロ回路11の入力及び出力が3端子ずつの場合について説明したが、実際は数百端子ある場合があり、その場合についても同様に適用できる。

【0044】

すなわち、そのような端子数が多い場合でも、テストパターンを入力する試験モード端子及び試験データ出力端子は1つだけ有していればよく、なおかつ従来のSFF回路を用いた場合のように、不必要なデータが機能マクロ回路11に入力されることを防止することができる。

【0045】

また、必ずしも機能マクロ回路11の端子全てに、上記のような第1モジュールまたは第2モジュールが接続される必要はない。ユーザロジックからの信号が直接入力されるだけの端子を有していてもよい。

【0046】

次に、本発明の実施の形態の半導体装置試験回路を制御する制御部を含めた半導体装置について説明する。

図2は、本発明の実施の形態の半導体装置試験回路を制御する制御回路を含む半導体装置の回路図である。

【0047】

ここで示す半導体装置100は、例えば、複数の機能マクロ回路を有した1チップの集積回路に相当する。

図2では、図1で示したような機能マクロ回路11を試験する4つの半導体装置試験回路10a、10b、10c、10dを有した半導体装置100を図示している。また、図1で示した半導体装置試験回路10a、10b、10c、10dの機能マクロ回路11に接続されるユーザロジックについては図示を省略している。

【0048】

これらの半導体装置試験回路10a、10b、10c、10dには、前述したような、

制御信号を入力する試験モード端子TM、取りこみモード端子CAP、テストパターンなどを入力する試験データ入力端子TDが接続されている。さらに、いずれの半導体装置試験回路10a、10b、10c、10dに、前述した第1および第2のクロック信号（第1クロック端子および第2クロック端子より入力される）を入力するかを選択するためのセクタ回路41、42を有する。また、半導体装置試験回路10a、10b、10c、10dの何れかの出力信号を選択して試験データ出力端子OUTに出力するセクタ回路43を有する。また、このセクタ回路41、42、43を制御するための信号を出力する2つのフリップフロップ51、52を有する。このフリップフロップ51、52は、D型フリップフロップ回路である。

【0049】

フリップフロップ51、52は直列に接続されており、初段のフリップフロップ51は、試験データ入力端子TDと接続されている。また、それぞれの出力は信号線61で2ビットの信号となりセクタ回路41、42、43に inputs される。さらに、これら2つのフリップフロップ51、52は、第3のクロック信号を入力する第3クロック端子CK3と接続されている。

【0050】

このような半導体装置100において、試験データ入力端子TDに、例えば、“01”という信号がシリアルに入力されると、第3のクロック信号に同期して、フリップフロップ51、52にラッチされる。これにより、セクタ回路41、42、43において、例えば、2番目の半導体装置試験回路10bが選択されることになる。選択する半導体装置試験回路10bが決定すると、第3のクロック信号は例えばロウレベルとなり、試験中に選択されている半導体装置試験回路10bが変わらないようにする。これによって、試験時に引き続き試験データ入力端子TDに入力されたテストパターンによる半導体装置試験回路10bの試験が前述したように行われ、試験データ出力端子OUTからその結果が出力される。

【0051】

このように上記の半導体装置100によれば、複数の機能マクロ回路の中から所望の機能マクロ回路を適切に選択して試験することができる。さらに、試験する機能マクロ回路を特定するための信号を入力する端子を、テストパターンを入力する試験データ入力端子TDと共通にしたので端子数の削減が可能である。

【0052】

なお、上記では、半導体装置試験回路10a、10b、10c、10dと4つの場合（機能マクロ回路が4つの場合）について説明したが、この数には限定されない。例えば、5つ以上8つ以下の場合には前述したセクタ回路41、42、43を制御する信号を出力するフリップフロップは3つ以上設ければよく、機能マクロ回路の数によってフリップフロップの数を調整すればよい。

【産業上の利用可能性】

【0053】

1チップに複数の機能を集積させたSOC製品などにおける、機能マクロ回路の試験の際に適用できる。

【図面の簡単な説明】

【0054】

【図1】本発明の実施の形態の半導体装置試験回路の構成を示す回路図である。

【図2】本発明の実施の形態の半導体装置試験回路を制御する制御回路を含む半導体装置の回路図である。

【図3】従来のSFF回路を用いた従来の半導体装置試験回路の回路図である。

【図4】SFF回路の構成を示す回路図である。

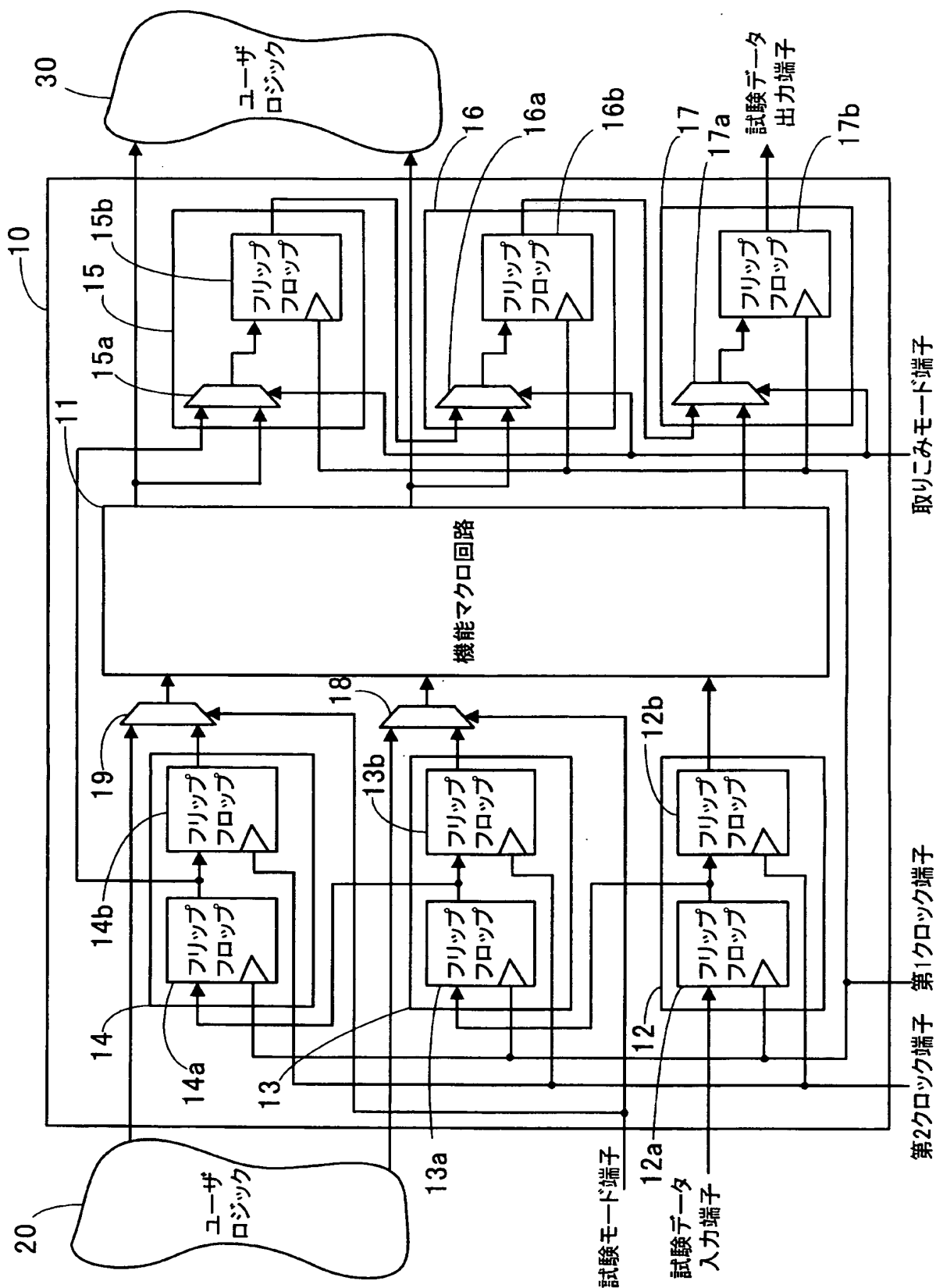
【符号の説明】

【0055】

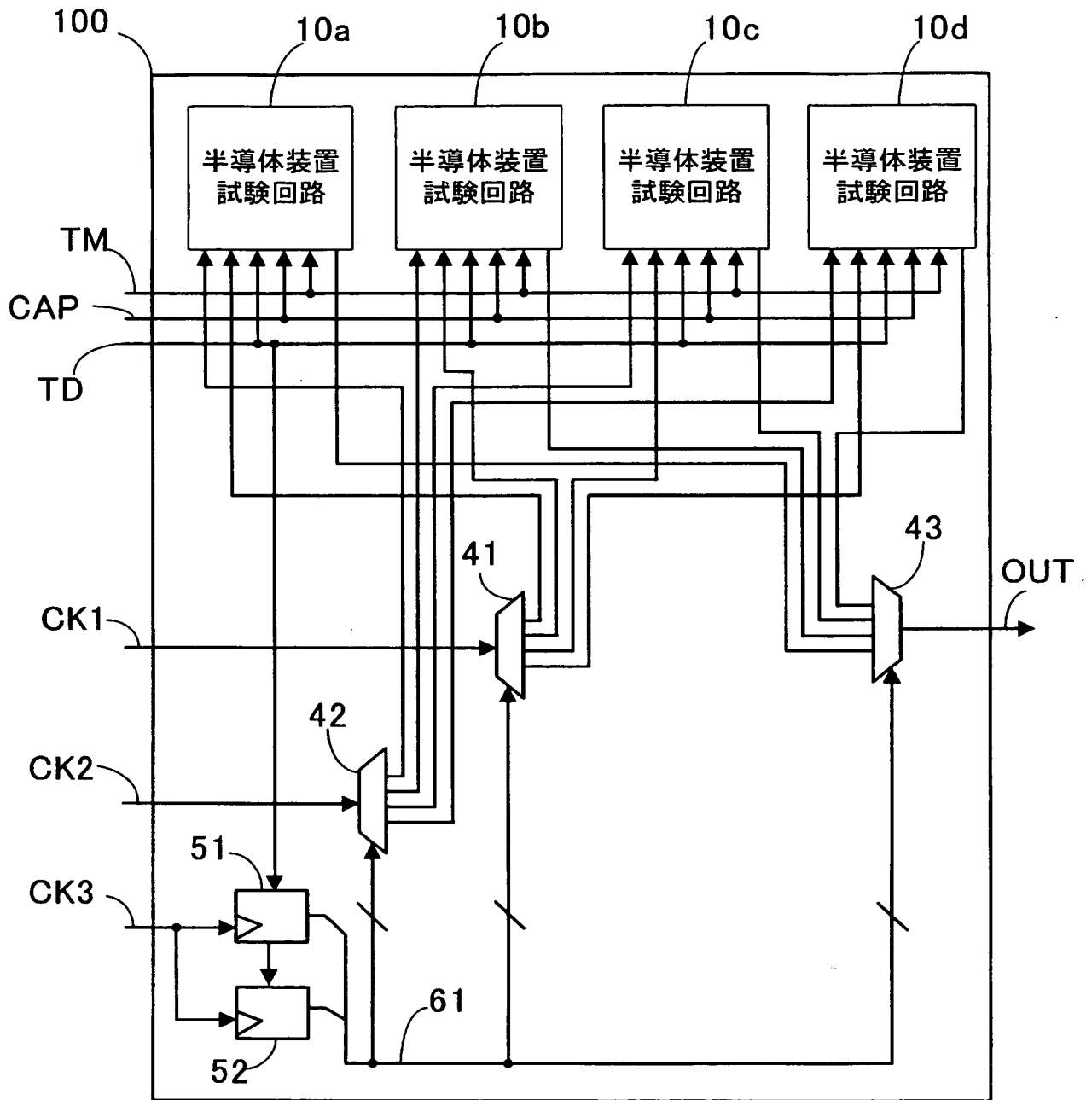
10 半導体装置試験回路

1 1 機能マクロ回路
1 2、1 3、1 4 第 1 モジュール
1 2 a、1 2 b、1 3 a、1 3 b、1 4 a、1 4 b、1 5 b、1 6 b、1 7 b フリッ
プフロップ
1 5、1 6、1 7 第 2 モジュール
1 5 a、1 6 a、1 7 a、1 8、1 9 セレクタ回路
2 0、3 0 ユーザロジック

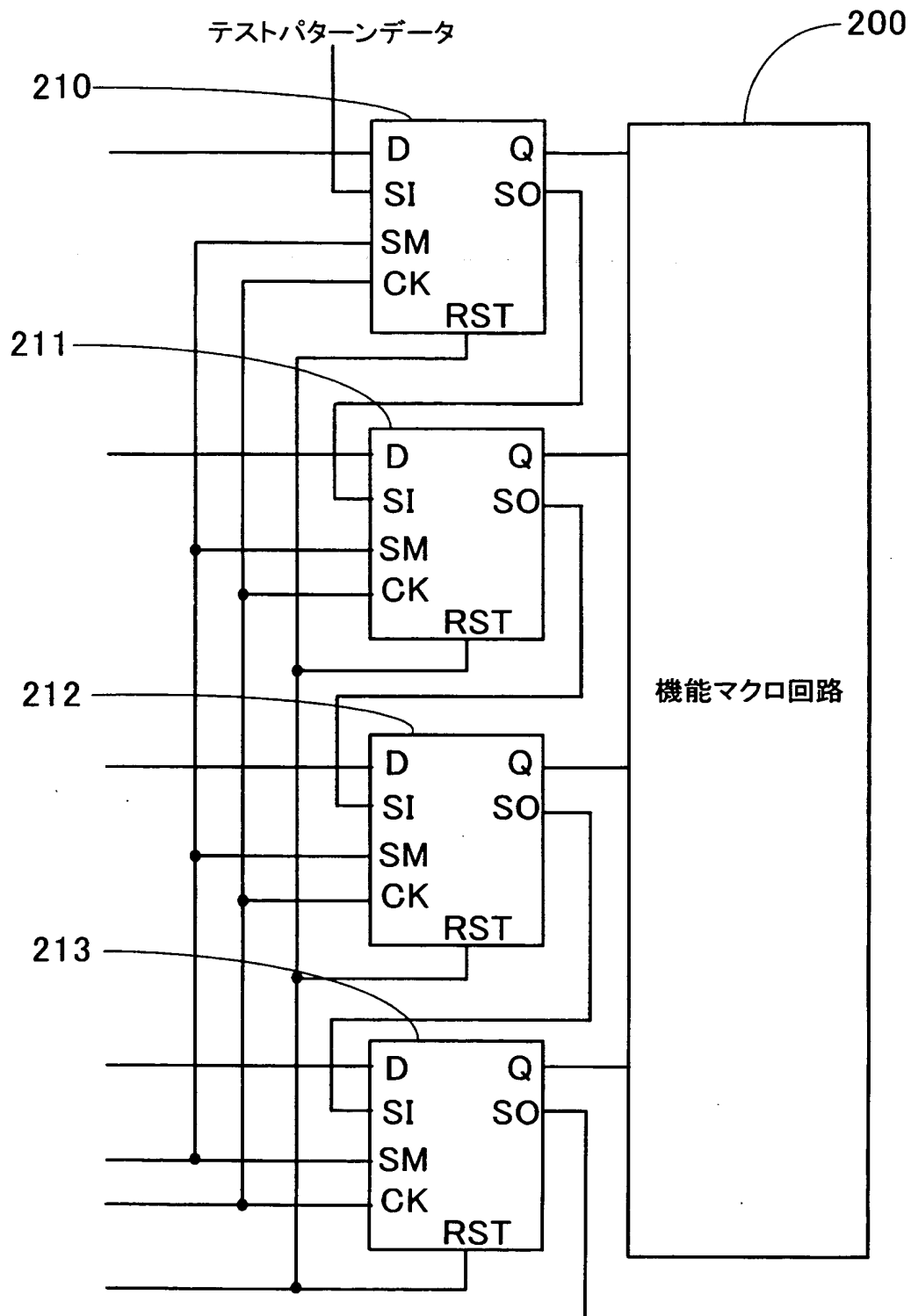
【書類名】 図面
【図 1】



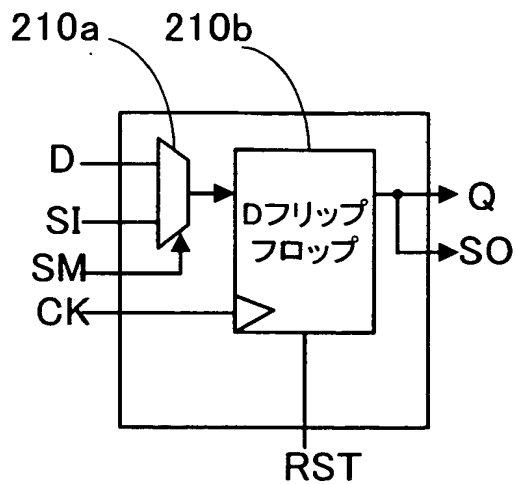
【図 2】



【図 3】



【図 4】





【書類名】 要約書

【要約】

【課題】 機能マクロ回路の試験時に機能マクロ回路に不必要なデータが入力されることを防止する。

【解決手段】 複数段にわたって直列に接続されたフリップフロップ 1 2 a、1 3 a、1 4 a によって、第 1 のクロック信号に同期して、前段のフリップフロップ（例えば、フリップフロップ 1 2 a）にラッチされたシリアルテストパターンデータが後段のフリップフロップ（例えば、フリップフロップ 1 3 a）にラッチされる。それぞれの段におけるフリップフロップ 1 2 a、1 3 a、1 4 a にラッチされたテストパターンデータは、フリップフロップ 1 2 b、1 3 b、1 4 b に入力される第 2 のクロック信号に同期して同時に機能マクロ回路 1 1 に出力される。

【選択図】 図 1

特願 2003-297210

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社